

DE 19821641

1/9/1

DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.
012534264 **Image available**
WPI Acc No: 1999-340370/199929 XRPX Acc No: N99-255266

Semiconductor memory device for a computer system

Patent Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU)
Inventor: LEE S; LEE S B
Number of Countries: 006 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
GB 2332964	A	19990707	GB 988824	A	19980424	199929 B
DE 19821641	A1	19990701	DE 1021641	A	19980514	199932
JP 11203868	A	19990730	JP 98181075	A	19980626	199941
US 6094375	A	20000725	US 98223541	A	19981230	200038
KR 99057677	A	19990715	KR 9777743	A	19971230	200042
KR 252057	B1	20000501	KR 9777743	A	19971230	200126
US 6282128	B1	20010828	US 98223541	A	19981230	200151
			US 2000576987	A	20000523	
GB 2332964	B	20020130	GB 988824	A	19980424	200216
TW 503369	A	20020921	TW 98106724	A	19980430	200337

Priority Applications (No Type Date): KR 9777743 A 19971230

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
GB 2332964	A		39	G11C-007/00	
DE 19821641	A1		20	G06F-012/00	
JP 11203868	A		14	G11C-011/407	
US 6094375	A			G11C-007/00	
KR 99057677	A			G11C-011/413	
KR 252057	B1			G11C-011/413	
US 6282128	B1			G11C-007/00	Div ex application US 98223541 Div ex patent US 6094375
GB 2332964	B			G11C-007/10	
TW 503369	A			G06F-009/06	

Abstract (Basic): GB 2332964 A

NOVELTY - The memory device uses both a single data rate (SDR) mode and a double data rate (DDR) mode.

DETAILED DESCRIPTION - A core circuit (101) inputs and outputs data to and from memory cell arrays (117,119) according to a group of column addresses in an SDR mode, and inputs and outputs first and second data to and from the cell arrays and a second global data line, respectively, according to the group of column addresses excluding a predetermined column address in a DDR mode. Data lines output and receive data to and from the outside. A transferring portion (103) controls the transfer of data between the core portion and the data lines in response to the predetermined column address. An input and output controller (105) transforms data of the data lines into serial data and outputs it to the outside, and transmits serially received data from the outside to the data lines in response to rising and falling edges of an external clock signal. INDEPENDENT CLAIMS are also included for:

- (1) a decoder,
- (2) an output transferring circuit,
- (3) an input driver,
- (4) an input multiplexer, and
- (5) an output multiplexer.

USE - For a computer system.
ADVANTAGE - Reduces access time, thereby enhancing the performance
of a computer system.
DESCRIPTION OF DRAWING(S) - The drawing shows a schematic view of a
data path of the memory device.
core circuit (101)
transferring portion (103)
input and output controller (105)
cell arrays (117,119)
pp; 39 DwgNo 1/14

Title Terms: SEMICONDUCTOR; MEMORY; DEVICE; COMPUTER; SYSTEM

Derwent Class: U14

International Patent Class (Main): G06F-009/06; G06F-012/00; G11C-007/00;
G11C-007/10; G11C-011/407; G11C-011/413

International Patent Class (Additional): G11C-008/00; G11C-011/409

File Segment: EPI

Manual Codes (EPI/S-X): U14-A07C



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 198 21 641 A 1**

⑤1 Int. Cl.⁶:
G 06 F 12/00
G 11 C 8/00

⑦1 Aktenzeichen: 198 21 641.6
⑦2 Anmeldetag: 14. 5. 98
⑦3 Offenlegungstag: 1. 7. 99

DE 198 21 641 A 1

③0 Unionspriorität:
97-77743 30. 12. 97 KR

⑦1 Anmelder:
Samsung Electronics Co. Ltd., Suwon, Kyungki, KR

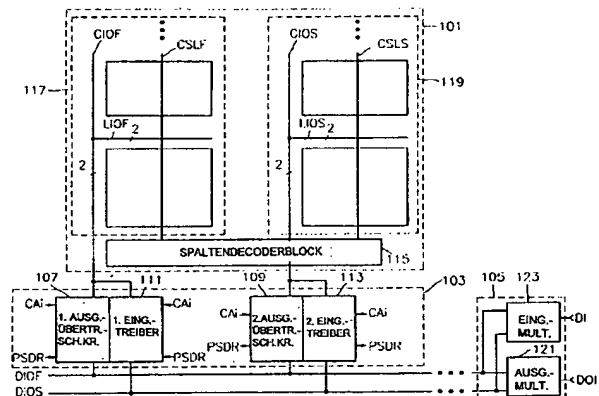
⑦4 Vertreter:
Patentanwälte Wilhelm & Dauster, 70174 Stuttgart

⑦2 Erfinder:
Lee, Sang-bo, Yongin, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤4 Halbleiterspeicherbauelement und Komponenten hierfür

⑤7 Die Erfindung bezieht sich auf Halbleiterspeicherbauelemente sowie auf einen Decoder, einen Ausgabeübertragungsschaltkreis, einen Eingangstreiber, einen Eingabe- und einen Ausgabemultiplexer hierfür. Erfindungsgemäß beinhaltet das Halbleiterspeicherbauelement einen Kernbereich (101) zum Eingeben und Ausgeben von Daten in und aus Speicherzellenfeldern (117, 119) gemäß einer Gruppe von Spaltenadressen in einem Einzeldatenraten-Modus sowie zum Eingeben und Ausgeben erster und zweiter Daten in die und aus den Speicherzellenfeldern gemäß der Gruppe von Spaltenadressen mit Ausnahme einer vorgegebenen Spaltenadresse (CAi) in einem Doppeldatenraten-Modus. Eine erste und eine zweite Datenleitung (DIOF, DIOS) dienen dem Datentransfer von und nach außen. Eine Übertragungsstufe (103) steuert die Datenübertragung zwischen diesen Datenleitungen und dem Kernbereich. Als Schnittstelle nach außen fungiert eine Eingabe- und Ausgabesteuereinheit (105), die im Doppeldatenraten-Modus Daten von der ersten und zweiten Datenleitung in serielle, nach außen abgegebene Daten umsetzt und umgekehrt. Die Erfindung umfaßt des weiteren speziell hierfür geeignete Komponenten des Speicherbauelementes.
Verwendung z. B. für DRAM-Bauelemente.



DE 198 21 641 A 1

Die Erfindung bezieht sich auf ein Halbleiterspeicherbauelement sowie auf einen Decoder, einen Ausgabeübertragungsschaltkreis, einen Eingabetreiber sowie einen Eingabe- und Ausgabemultiplexer, die in dem Halbleiterspeicherbauelement verwendbar sind.

Ein Rechnersystem enthält allgemein eine Zentralprozessoreinheit (CPU) zur Ausführung von Befehlen sowie einen Hauptspeicher für die Speicherung von Daten und Programmen, die von der CPU benötigt werden. Eine Erhöhung der Betriebsgeschwindigkeit der CPU und eine Verringerung der Zugriffszeit auf den Hauptspeicher steigern daher die Leistungsfähigkeit des Rechnersystems. Ein synchrones DRAM (SDRAM) arbeitet abhängig von der Steuerung durch einen Systemtakt und besitzt als Hauptspeicher eine vergleichsweise kurze Zugriffszeit.

Der Betrieb des SDRAM wird in Abhängigkeit von Impulssignalen gesteuert, die durch Übergänge des Systemtaktes erzeugt werden. Hierbei werden die Impulssignale durch einen Einzeldatenraten (SDR)-Modus oder einen Doppeldatenraten(DDR)-Modus generiert. Der SDR-Modus erzeugt die Impulssignale bei Übergängen in einer Richtung, d. h. Impulssignale beim Übergang von hohem auf niedrigen Pegel oder umgekehrt, um ein DRAM-Bauelement zu betreiben. Der DDR-Modus generiert zum Betreiben des DRAM-Bauelementes die Impulssignale bei Übergängen in beiden Richtungen, d. h. bei Übergängen von hohem auf niedrigen Pegel und umgekehrt.

Der datenempfangende oder -erzeugende DDR-Modus besitzt eine große Bandbreite. Der DDR-Modus ist daher sehr hilfreich für die Bereitstellung eines SDRAM mit extrem hoher Geschwindigkeit. Jedoch erhöht sich beim Realisieren des DDR-Modus auf einem Chip dessen Entwurfsfläche. Denn da der DDR-Modus doppelt so viele Daten wie der SDR-Modus schreibt und liest, werden für ihn doppelt so viele Datenleitungen benötigt wie für den SDR-Modus. Dementsprechend erhöht sich die Abmessung des Chips. Außerdem sind im DDR-Modus verglichen mit dem SDR-Modus die Initialisierungszeit und die Datenhaltezeit zwischen Daten und dem Takt während des Lesens und Schreibens reduziert, so daß Hilfsschaltkreise zum Verzögern eines externen Taktes notwendig sind, was eine weitere Erhöhung der Abmessung des Speicherchips verursacht. Daher verwenden typischerweise nur Speicherbauelemente für Systeme mit extrem hoher Geschwindigkeit den DDR-Modus, während andere Speicherbauelemente den SDR-Modus benutzen. Jedoch werden Halbleiterspeicherbauelemente mit DDR-Modus bzw. SDR-Modus nicht nach einem Wahlverfahren, sondern separat hergestellt, was die Fertigungseffizienz verringert und die Produktionskosten erhöht.

Der Erfindung liegt als technisches Problem die Bereitstellung eines Halbleiterspeicherbauelementes, das sowohl für den SDR- als auch für den DDR-Modus anwendbar ist, sowie eines Decoders, eines Ausgabeübertragungsschaltkreises, eines Eingabetreibers, eines Eingabemultiplexers und eines Ausgabemultiplexers hierfür zugrunde.

Die Erfindung löst dieses Problem durch die Bereitstellung eines Halbleiterspeicherbauelementes mit den Merkmalen des Anspruchs 1, eines Decoders mit den Merkmalen des Anspruchs 14, eines Ausgabeübertragungsschaltkreises mit den Merkmalen des Anspruchs 15, eines Eingabetreibers mit den Merkmalen des Anspruchs 17, eines Eingabemultiplexers mit den Merkmalen des Anspruchs 20 und eines Ausgabemultiplexers mit den Merkmalen des Anspruchs 22.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Vorteilhafte Ausführungsformen der Erfindung sind in den Zeichnungen dargestellt und werden nachfolgend beschrieben. Hierbei zeigen:

Fig. 1 ein schematisches Blockschaltbild einer Datenpfadanordnung eines Halbleiterspeicherbauelementes mit einem typischen Datenratenmodus,

Fig. 2 ein Schaltbild eines für das Halbleiterspeicherbauelement von **Fig. 1** verwendbaren Modusauswahlsignalgenerators,

Fig. 3 ein Schaltbild eines Spaltendecoders eines Spaltendecoderblocks für ein erstes Speicherzellenfeld von **Fig. 1**,

Fig. 4 ein Schaltbild eines Spaltendecoders des Spaltendecoderblocks für ein zweites Speicherzellenfeld von **Fig. 1**,

Fig. 5 ein Schaltbild eines ersten Ausgabeübertragungsschaltkreises von **Fig. 1**,

Fig. 6 ein Schaltbild eines zweiten Ausgabeübertragungsschaltkreises von **Fig. 1**,

Fig. 7 ein Schaltbild eines ersten Eingabetreibers von **Fig. 1**,

Fig. 8 ein Schaltbild eines zweiten Eingabetreibers von **Fig. 1**,

Fig. 9 ein Schaltbild eines Ausgabemultiplexers von **Fig. 1**,

Fig. 10 ein Schaltbild eines Eingabemultiplexers von **Fig. 1**,

Fig. 11 ein Zeitsteuerungsdiagramm von Daten an wichtigen Anschlüssen im Ausgabebetrieb des DDR-Modus,

Fig. 12 ein Zeitsteuerungsdiagramm von Daten an wichtigen Anschlüssen im Eingabebetrieb des DDR-Modus,

Fig. 13 ein Zeitsteuerungsdiagramm von Daten an wichtigen Anschlüssen im Ausgabebetrieb des SDR-Modus und

Fig. 14 ein Zeitsteuerungsdiagramm von Daten an wichtigen Anschlüssen im Eingabebetrieb des SDR-Modus.

Fig. 1 zeigt die Datenpfadanordnung eines beispielhaft betrachteten Halbleiterspeicherbauelementes gemäß der Erfindung in einem bestimmten Datenpfadzustand, wobei eine jeweilige Spaltenauswahlleitung der Übersichtlichkeit halber einem Bitleitungspaar entspricht. Dabei sind die verschiedenen Datenleitungsverbindungen nur insoweit gezeigt, wie auf sie von den verschiedenen Bauelementkomponenten in dem speziell betrachteten Datenpfadzustand zugegriffen wird. In diesem Ausführungsbeispiel ist, wenn eine bestimmte Spaltenadresse CAi auf niedrigem Pegel liegt, eine Spaltenauswahlleitung CSLF eines ersten Speicherzellenfeldes **117** aktiv, während ein Spaltenauswahlsignal CSLS eines zweiten Speicherzellenfeldes **119** aktiv ist, wenn die Spaltenadresse CAi auf hohem Pegel liegt. Im Betrieb mit SDR-Modus wird somit durch eine externe Spaltenadresse entweder CLSF oder CSLS ausgewählt, während im Betrieb mit DDR-Modus durch die externe Spaltenadresse sowohl CSLF als auch CSLS ausgewählt werden. Dabei wird der SDR-Modus oder der DDR-Modus mittels eines Modusauswahlsignals PSDR ausgewählt. Wenn PSDR auf hohem Pegel liegt, wird der SDR-Modus ausgewählt, und wenn PSDR auf niedrigem Pegel liegt, wird der DDR-Modus ausgewählt. Bezugnehmend auf **Fig. 1** beinhaltet das Halbleiterspeicherbauelement einen Kernbereich **101**, eine erste Datenleitung DIOF und eine zweite Datenleitung DIOS, eine Übertragungsstufe **103** sowie einen Eingabe- und Ausgabesteuerteil **105**. Nachfolgend wird der Einfachheit halber die Betriebsweise des Kernbereichs **101** und der Übertragungsstufe **103** beschrieben, wenn die Spaltenadresse CAi auf niedrigem Pegel liegt.

Im SDR-Modus erfolgen die Eingabe und Ausgabe von Daten in den bzw. aus dem Kernbereich **101** über einen Datenpfad, der eine lokale Datenleitung LIOF und eine globale Datenleitung GIOF beinhaltet, in Abhängigkeit von der Aktivität des Spaltenauswahlsignals. Im DDR-Modus wählt

der Kernbereich 101 die Spaltenauswahlsignale CSLF und CSLS aus. Außerdem wird in derselben Weise wie im SDR-Modus das Spaltenauswahlsignal CSLF zur Eingabe und Ausgabe von Daten ausgewählt. Daten werden in Abhängigkeit vom Spaltenauswahlsignal CSLS über einen Datenpfad, der eine lokale Datenleitung LIOS und eine globale Datenleitung GIOS beinhaltet, eingegeben und ausgegeben. Im DDR-Modus werden daher zwei Dateneinheiten gleichzeitig eingegeben und ausgegeben.

Die Übertragungsstufe 103 steuert die Datenübertragung zwischen dem Kernbereich 101 und der ersten und zweiten Datenleitung DIOF, DIOS in Abhängigkeit von der Spaltenadresse CAi. Im SDR-Ausgabemodus überträgt die Übertragungsstufe 103 Daten von GIOF zur ersten Datenleitung DIOF über einen Ausgabeübertragungsschaltkreis 107. Im SDR-Eingabemodus überträgt die Übertragungsstufe 103 Daten von der ersten Datenleitung DIOF über einen Eingabetreiber 111, um übertragene Daten in eine Speicherzelle des Kernbereichs 101 einzuspeichern. Im DDR-Ausgabemodus überträgt die Übertragungsstufe 103 die Daten von GIOF zur ersten Datenleitung DIOF über den ersten Ausgabeübertragungsschaltkreis 107 ebenso wie im SDR-Ausgabemodus. Im DDR-Ausgabemodus überträgt zudem die Übertragungsstufe 103 die Daten von GIOS auf die zweite Datenleitung DIOS über einen Ausgabeübertragungsschaltkreis 109.

Im DDR-Eingabemodus überträgt die Übertragungsstufe 103 Daten von der ersten Datenleitung DIOF nach GIOF über den ersten Eingabetreiber 111, um die übertragenen Daten in eine Speicherzelle des Kernbereichs 101 einzuspeichern. Im DDR-Eingabemodus überträgt außerdem die Übertragungsstufe 103 Daten der zweiten Datenleitung DIOS nach GIOS über einen zweiten Eingabetreiber 113, um die übertragenen Daten in einer Speicherzelle des Kernbereichs 101 zu speichern. Im DDR-Ausgabemodus transformiert die Eingabe- und Ausgabesteuereinheit 105 die Daten der ersten und der zweiten Datenleitung DIOF, DIOS in serielle Daten, um die übertragenen Daten nach außen weiterzuleiten. Im DDR-Eingabemodus überträgt die Eingabe- und Ausgabesteuereinheit 105 seriell von außen empfangene Daten zur ersten und zweiten Datenleitung DIOF und DIOS.

In Fig. 2 ist der Aufbau eines PSDR-Generators zur Erzeugung des Modusauswahlsignals PSDR gezeigt. Dieser Modusauswahlsignalgenerator enthält einen MOS-Transistor 201 und eine Schmelzsicherung 203. Der MOS-Transistor 201 ist ein NMOS-Transistor, der eine an eine Massepotentialspannung VSS angeschlossene Source-Elektrode besitzt. An eine Gate-Elektrode des MOS-Transistors 201 ist eine Versorgungsspannung VCC angelegt, um den MOS-Transistor 201 leitend zu schalten. Ein erster Anschluß der Schmelzsicherung 203 ist an die Versorgungsspannung VCC angeschlossen, und der zweite Anschluß ist an eine Drain-Elektrode des MOS-Transistors 201 angeschlossen, an welcher das Modusauswahlsignal PSDR abgegriffen wird. Wenn die Schmelzsicherung 203, die von außen durchtrennt werden kann, nicht durchtrennt ist, geht PSDR auf hohem Pegel, wodurch der SDR-Modus ausgewählt wird. Wenn die Schmelzsicherung 203 durchtrennt wird, liegt PSDR auf niedrigem Pegel, wodurch der DDR-Modus ausgewählt wird. Die gezeigte Modusauswahlsignalstufe besteht somit aus einem NMOS-Transistor und einer Schmelzsicherung, sie kann jedoch alternativ auch aus einem PMOS-Transistor und einer Schmelzsicherung bestehen.

Der Kernbereich 101 von Fig. 1 beinhaltet einen Spaltendecoderblock 115. Im SDR-Modus wählt der Spaltendecoderblock 115 Spalten des Halbleiterspeicherbauelementes, speziell von dessen Speicherzellenfeldern, in Abhängigkeit

einer Gruppe von Spaltenadressen aus, welche die Spaltenadresse CAi umfassen. Im DDR-Modus wählt der Spaltendecoderblock 115 die Spalten des Halbleiterspeicherbauelementes in Abhängigkeit von der Gruppe der Spaltenadressen ausgenommen der Spaltenadresse CAi aus.

Fig. 3 zeigt den Schaltungsaufbau eines Spaltendecoders 300, wie er im Spaltendecoderblock 115 verwendbar ist. Der Spaltendecoder 300 beinhaltet eine Antwortstufe 301 für eine vorgegebene Spaltenadresse sowie eine Spaltenauswahlstufe 303. Im SDR-Modus, d. h. wenn PSDR auf hohem Pegel liegt, reagiert die Antwortstufe 301 für die vorbestimmte Spaltenadresse auf einen ersten Logikzustand der Spaltenadresse CAi. Wenn die Spaltenadresse CAi auf niedrigem Pegel liegt, wird ein Signal eines Ausgangsanschlusses N302 auf hohen Pegel aktiviert. Im DDR-Modus, d. h. wenn PSDR auf niedrigem Pegel liegt, reagiert die Antwortstufe 301 für die vorgegebene Spaltenadresse nicht auf die Spaltenadresse CAi. Das Signal am Ausgangsanschluß N302 befindet sich daher unabhängig vom Logikzustand der Spaltenadresse CAi auf hohem Pegel. Die Spaltenauswahlstufe 303 erzeugt in Abhängigkeit vom Ausgangssignal N302 der Antwortstufe 301 für die vorgegebene Spaltenadresse sowie von Spaltenadressen CAj, CAk und CAI das Spaltenauswahlsignal CSLF zur entsprechenden Spaltenauswahl des Halbleiterspeicherbauelementes. Wenn das Ausgangssignal N302 der Antwortstufe 301 für die vorgegebene Spaltenadresse auf hohem Pegel liegt und die Spaltenadressen CAj, CAk sowie CAI ebenfalls auf hohem Pegel liegen, geht das Spaltenauswahlsignal CSLF auf hohen Pegel, so daß eine Spalte ausgewählt wird.

Fig. 4 zeigt den Schaltungsaufbau eines weiteren, im Spaltendecoderblock 115 benutzbaren Spaltendecoders 400, dessen Struktur analog derjenigen des Spaltendecoders 300 ist. Im SDR-Modus liegt der Ausgang einer Antwortstufe 401 für die vorgegebene Spaltenadresse auf hohem Pegel, wenn die Spaltenadresse CAi auf hohem Pegel liegt. Der Spaltendecoder 400 gibt das Ausgangssignal CSLS ab, mit dem eine Spalte des zweiten Speicherzellenfeldes 119 ausgewählt wird.

Die Übertragungsstufe 103 von Fig. 1 beinhaltet den ersten und zweiten Ausgabeübertragungsschaltkreis 107, 109 sowie den ersten und zweiten Eingabetreiber 111, 113. Im SDR-Modus überträgt der erste Ausgabeübertragungsschaltkreis 107 Daten von GIOF auf die erste Datenleitung DIOF in Abhängigkeit vom ersten Logikzustand von CAi, der hierbei auf niedrigem Pegel liegt. Im DDR-Modus überträgt der erste Ausgabeübertragungsschaltkreis 107 die Daten von GIOF nach DIOF in Abhängigkeit vom ersten Logikzustand von CAi und nach DIOS in Abhängigkeit von einem zweiten Logikzustand. Der zweite Logikzustand von CAi liegt hierbei auf hohem Pegel.

Im SDR-Modus überträgt der zweite Ausgabeübertragungsschaltkreis 109 die Daten von GIOS nach DIOF in Reaktion auf den zweiten Logikzustand von CAi. Im DDR-Modus überträgt der zweite Ausgabeübertragungsschaltkreis 109 die Daten von GIOS nach DIOF in Reaktion auf den zweiten Logikzustand von CAi sowie nach DIOS in Reaktion auf den ersten Logikzustand.

Im SDR-Modus oder im DDR-Modus überträgt der erste Eingabetreiber 111 die Daten von DIOF nach GIOF in Reaktion auf den ersten Logikzustand von CAi sowie nach GIOS in Reaktion auf den zweiten Logikzustand. Im DDR-Modus überträgt der zweite Eingabetreiber 113 die Daten von DIOS nach GIOF in Reaktion auf den zweiten Logikzustand von CAi sowie nach GIOS in Reaktion auf den ersten Logikzustand von CAi. Im SDR-Modus überträgt der zweite Eingabetreiber 113 keine Daten.

Fig. 5 zeigt den Schaltungsaufbau des ersten Ausgabe-

übertragungsschaltkreises **107**. Er beinhaltet einen Normalübertragungsteil **501** und einen Auswahlübertragungsteil **503**. Der Normalübertragungsteil **501** überträgt die Daten von GIOF nach DIOF in Reaktion auf den Zustand niedrigen Pegels von CAi. Wenn das Inverse /CAi von CAi auf hohem Pegel liegt, gelangt somit ein verzögertes Signal /CADI von /CAi auf hohen Pegel. Wenn nun GIOF auf hohem Pegel liegt, wird ein PMOS-Transistor **509** leitend geschaltet, so daß das Signal DIOF auf hohen Pegel gelangt. Wenn GIOF auf niedrigem Pegel liegt, ist ein NMOS-Transistor **511** leitend geschaltet, so daß DIOF auf niedrigen Pegel geht. Der Auswahlübertragungsteil **503** überträgt im DDR-Modus die Daten von GIOF nach DIOS in Reaktion auf den hohen Pegel von CAi. Wenn CAi auf hohen Pegel geht, geht nämlich ein verzögertes Signal CADI von CAi auf hohen Pegel. Wenn nun GIOF auf hohem Pegel liegt, ist ein PMOS-Transistor **513** leitend geschaltet, so daß DIOS auf hohen Pegel gelangt. Wenn GIOF auf niedrigem Pegel liegt, ist ein NMOS-Transistor **515** im SDR-Modus sperrend geschaltet. Wenn demgemäß PSDR auf hohem und CAi auf niedrigem Pegel liegen, werden die Daten von GIOF zur ersten Datenleitung DIOF übertragen. Wenn PSDR und CAi auf niedrigem Pegel liegen, werden die Daten von GIOF zur zweiten Datenleitung DIOS übertragen. Der Auswahlübertragungsteil **503** beinhaltet einen Modusauswahlteil **505** und einen Auswahl Datenübertragungsteil **507**. Der Modusauswahlteil **505** empfängt PSDR und CADI. Im SDR-Modus, d. h. wenn PSDR den niedrigen und CAi den hohen Pegel einnehmen, wird ein Ausgangssignal N506 des Modusauswahlteils **505** auf hohen Pegel aktiviert. Wenn das Ausgangssignal N506 des Modusauswahlteils **505** auf hohen Pegel aktiviert ist, überträgt der Auswahl Datenübertragungsteil **507** die Daten von GIOF zur zweiten Datenleitung DIOS.

Fig. 6 zeigt den Schaltungsaufbau des zweiten Ausgabeübertragungsschaltkreises **109**. Dieser beinhaltet einen Normalübertragungsteil **601** und einen Auswahlübertragungsteil **603**. Der Normalübertragungsteil **601** überträgt die Daten von GIOS nach DIOF in Reaktion auf den hohen Pegel von CAi. Wenn CAi auf hohen Pegel geht, geht nämlich CADI auf hohen Pegel, wodurch ein PMOS-Transistor **609** leitend geschaltet wird, so daß DIOF auf hohen Pegel geht. Wenn GIOS auf niedrigem Pegel liegt, wird ein NMOS-Transistor **611** leitend geschaltet, so daß DIOF auf niedrigen Pegel gelangt. Der Auswahlübertragungsteil **603** überträgt im DDR-Modus die Daten von GIOS nach DIOS in Reaktion auf den niedrigen Pegel von CAi, d. h. CADI liegt auf hohem Pegel, wenn /CAi auf hohem Pegel liegt. Wenn hierbei GIOS auf hohem Pegel liegt, ist ein PMOS-Transistor **613** leitend geschaltet, so daß DIOS auf hohem Pegel liegt. Wenn GIOS auf niedrigem Pegel liegt, ist ein NMOS-Transistor **615** leitend geschaltet, so daß DIOS auf niedrigen Pegel geht. Im SDR-Modus überträgt der Auswahlübertragungsteil **603** keine Daten. Wenn demgemäß PSDR und CAi auf hohem Pegel liegen, werden die Daten von GIOS auf die erste Datenleitung DIOF übertragen. Wenn PSDR auf niedrigem und CAi auf hohem Pegel liegen, werden die Daten von GIOS auf die erste Datenleitung DIOF übertragen. Der Auswahlübertragungsteil **603** enthält einen Modusauswahlteil **605** und einen Auswahl Datenübertragungsteil **607**. Der Modusauswahlteil **605** empfängt PSDR und /CADI. Im SDR-Modus, d. h. wenn PSDR auf niedrigem und /CAi auf hohem Pegel liegen, ist ein Ausgangssignal N606 des Modusauswahlteils **605** auf hohem Pegel aktiviert. Wenn das Ausgangssignal N606 des Modusauswahlteils **605** auf hohem Pegel aktiviert ist, überträgt der Auswahl Datenübertragungsteil **607** die Daten von GIOS zur zweiten Datenleitung DIOS.

Fig. 7 zeigt den Schaltungsaufbau des ersten Eingabetreibers **111**. Dieser beinhaltet einen ersten Eingabeteil **701** und einen zweiten Eingabeteil **703**. Der erste Eingabeteil **701** überträgt die Daten von DIOF nach GIOF in Reaktion auf den ersten Logikzustand von CAi. Wenn /CAi und DIOF auf hohem Pegel liegen, ist nämlich ein PMOS-Transistor **705** leitend geschaltet, so daß GIOF auf hohem Pegel liegt. Wenn /CAi auf hohem und DIOF auf niedrigem Pegel liegen, ist ein NMOS-Transistor **707** leitend geschaltet, so daß GIOF auf niedrigem Pegel liegt. Der zweite Eingabeteil **703** überträgt die Daten von DIOF nach GIOS in Reaktion auf den zweiten Logikzustand von CAi. Wenn nämlich CAi und DIOF auf hohem Pegel liegen, ist ein PMOS-Transistor **709** leitend geschaltet, so daß GIOS auf hohem Pegel liegt. Wenn CAi auf hohem und DIOF auf niedrigem Pegel liegen, ist ein NMOS-Transistor **711** leitend geschaltet, so daß GIOS auf niedrigem Pegel liegt.

Fig. 8 zeigt den Schaltungsaufbau des zweiten Eingabetreibers **113**. Dieser beinhaltet einen ersten Eingabeteil **801** und einen zweiten Eingabeteil **803**. Der erste Eingabeteil **801** überträgt die Daten von DIOS nach GIOF in Reaktion auf den zweiten Logikzustand von CAi im DDR-Modus, während er im SDR-Modus die Daten von DIOS nicht überträgt. Der erste Eingabeteil **801** beinhaltet eine erste Steuereinheit **805** und einen ersten Datenübertragungsteil **807**. Im DDR-Modus, wenn CAi auf hohem Pegel liegt, geht ein Ausgangssignal N806 der ersten Steuereinheit **805** auf hohen Pegel. Wenn das Ausgangssignal N806 der ersten Steuereinheit **805** auf hohen Pegel aktiviert ist, überträgt der erste Datenübertragungsteil **807** die Daten von DIOS nach GIOF. Wenn nämlich PSDR auf niedrigem und CAi sowie DIOS auf hohem Pegel liegen, wird ein PMOS-Transistor **809** leitend geschaltet, so daß GIOF auf hohen Pegel gelangt. Wenn PSDR auf niedrigem, CAi auf hohem und DIOS auf niedrigem Pegel liegen, wird ein NMOS-Transistor **811** leitend geschaltet, so daß GIOF auf niedrigen Pegel gelangt.

Der zweite Eingabeteil **803** überträgt die Daten von DIOS nach GIOS in Reaktion auf den ersten Logikzustand von CAi im DDR-Modus, während er im SDR-Modus die Daten von DIOS nicht überträgt. Der zweite Eingabeteil **803** beinhaltet eine zweite Steuereinheit **813** und einen zweiten Datenübertragungsteil **815**. Wenn /CAi auf hohen Pegel gelangt, geht ein Ausgangssignal N814 der zweiten Steuereinheit **813** auf hohen Pegel. Wenn das Ausgangssignal N814 der zweiten Steuereinheit **813** auf hohem Pegel aktiviert ist, überträgt der zweite Datenübertragungsteil **815** die Daten von DIOS nach GIOS. Wenn nämlich PSDR auf niedrigem sowie /CAi und DIOS auf hohem Pegel liegen, wird ein PMOS-Transistor **817** leitend geschaltet, so daß GIOS auf hohen Pegel gelangt. Wenn PSDR auf niedrigem, /CAi auf hohem und DIOS auf niedrigem Pegel liegen, wird ein NMOS-Transistor **819** leitend geschaltet, so daß GIOS auf niedrigen Pegel gelangt. Wenn PSDR auf hohem Pegel liegt, sind die PMOS-Transistoren **809** und **817** sowie die NMOS-Transistoren **811** und **819** sperrend geschaltet, so daß die Daten von DIOS nicht nach GIOF oder GIOS übertragen werden.

Die Eingabe- und Ausgabesteuereinheit **105** beinhaltet gemäß **Fig. 1** einen Ausgabemultiplexer **121** und einen Eingabemultiplexer **123**. Im SDR-Modus synchronisiert der Ausgabemultiplexer **121** Daten von DIOF mit einem externen Takt CLK zwecks externer Datenausgabe. Im DDR-Modus gibt der Ausgabemultiplexer **121** Daten von DIOF und DIOS seriell gemäß steigenden und fallenden Flanken des externen Taktes CLK ab. Im SDR-Modus überträgt der Eingabemultiplexer **123** von außen empfangene Daten auf DIOF unter Synchronisation mit dem externen Takt CLK,

wobei er von außen empfangene erste und zweite Eingabedaten in Reaktion auf die steigenden und fallenden Flanken des externen Taktes CLK nach DIOF bzw. DIOS weiterleitet.

Fig. 9 zeigt den Schaltungsaufbau des Ausgabemultiplexers 121, der einen Normalausgabemultiplexer 901 und einen Auswahlausgabemultiplexer 903 beinhaltet. Der Normalausgabemultiplexer 901 enthält einen Steuersignalgenerator 907 und ein Transmissionsgatter 909. Wenn PSDR auf hohem Pegel liegt, geht ein Ausgangssignal N908 des Steuersignalgenerators 907 im SDR-Modus in Synchronisation mit CLKDQ auf niedrigen Pegel. Im SDR-Modus ist das Signal CLKDQ mit dem externen Takt CLK synchronisiert. Im DDR-Modus, d. h. bei niedrigem Pegel von PSDR, geht das Ausgangssignal N908 des Steuersignalgenerators 907 in Synchronisation mit CLKDQF auf niedrigen Pegel. Im DDR-Modus ist das Signal CLKDQF mit den steigenden Flanken des externen Taktes CLK synchronisiert. Das Transmissionsgatter 909 überträgt die Daten von DIOF, wenn das Ausgangssignal N908 des Steuersignalgenerators 907 auf niedrigem Pegel liegt. Die Daten von DIOF werden im SDR-Modus mit dem externen Takt CLK und im DDR-Modus mit den steigenden Flanken des externen Taktes CLK synchronisiert und an eine externe Datenleitung DOI weitergeleitet.

Der Auswahlausgabemultiplexer 903 beinhaltet einen Steuersignalgenerator 911 und ein Transmissionsgatter 913. Im DDR-Modus, d. h. bei niedrigem Pegel von PSDR, geht ein Ausgangssignal N912 des Steuersignalgenerators 911 in Reaktion auf CLKDQS auf niedrigen Pegel. Das Signal CLKDQS ist im DDR-Modus mit den fallenden Flanken des externen Taktes CLK synchronisiert. Das Transmissionsgatter 913 leitet die Daten von DIOS weiter, wenn sich das Ausgangssignal N912 des Steuersignalgenerators 911 auf niedrigem Pegel befindet. Im DDR-Modus werden die Daten von DIOS mit den fallenden Flanken des externen Taktes CLK synchronisiert und an eine externe Datenleitung DOI weitergeleitet. Der Pegel eines gemeinsamen Ausgangsanschlusses N910 des Normalausgabemultiplexers 901 und des Auswahlausgabemultiplexers 903 wird an DOI über einen Puffer 905 abgegeben.

Fig. 10 zeigt den Schaltungsaufbau des Eingabemultiplexers 123, der einen ersten Übertragungsteil 1001 und einen zweiten Übertragungsteil 1003 beinhaltet. Der erste Übertragungsteil 1001 überträgt Daten einer externen Eingabedatenleitung DI auf DIOF, wenn sich PSDR auf hohem Pegel befindet und PCLK auf hohem Pegel aktiviert ist. Im SDR-Modus ist das Signal PCLK mit dem externen Takt CLK synchronisiert. Der zweite Übertragungsteil 1003 beinhaltet einen Übertragungszwischenspeicher 1005 und einen Ausgabeübertragungsteil 1007. Der Übertragungszwischenspeicher 1005 puffert die Daten der Eingabedatenleitung DI und gibt diese ab, wenn PSDR auf niedrigem Pegel liegt und CLKDIF auf hohem Pegel aktiviert ist. Im DDR-Modus ist das Signal CLKDIF mit den steigenden Flanken des externen Taktes CLK synchronisiert. Der Ausgabeübertragungsteil 1007 gibt ein Ausgangssignal N1006 des Übertragungszwischenspeicherteils 1005 an DIOF ab, wenn sich PSDR auf niedrigem Pegel befindet und CLKDIS auf hohem Pegel aktiviert ist. Hierbei werden die Daten von DI an DIOS abgegeben. Im DDR-Modus ist das Signal CLKDIS mit den fallenden Flanken des externen Taktes CLK synchronisiert. Demgemäß werden im DDR-Modus über DI empfangene, erste Eingabedaten nach DIOF weitergeleitet, während durch DIOS zweite Eingabedaten empfangen werden. Im SDR-Modus werden über DIOF Eingabedaten empfangen.

Nachfolgend wird anhand der Zeitsteuerungsdiagramme der Fig. 11 bis 14 auf den Eingabe- und Ausgabebetrieb im

SDR- und DDR-Modus eingegangen.

Gemäß Fig. 11 werden CLKDQF und CLKDQS synchron mit dem externen Takt CLK erzeugt. Die zwei Spaltenauswahlleitungen CSLF und CSLS werden unabhängig vom Logikzustand der spezifischen Spaltenadresse CAi aktiviert. Von CSLF und CSLS ausgewählte Daten werden über GIOF und GIOS auf DIOF und DIOS übertragen. Außerdem werden die Daten von DIOF in Abhängigkeit von CLKDQF an DOI abgegeben, und die Daten von DIOS werden in Abhängigkeit von CLKDQS an DOI abgegeben.

Gemäß Fig. 12 werden CLKDIF und CLKDIS synchron mit dem externen Takt CLK erzeugt. Die zwei Spaltenauswahlleitungen CSLF und CSLS werden unabhängig vom Logikzustand der speziellen Spaltenadresse CAi aktiviert. Außerdem werden die seriell empfangenen Daten von DI in Reaktion auf CLKDIF nach DIOF und in Abhängigkeit von CLKDTS nach DIOS weitergeleitet. Die Daten von DIOF werden von einer Speicherzelle einer durch CSLF ausgewählten Spalte empfangen. Die Daten von DIOS werden von einer Speicherzelle einer durch CSLS ausgewählten Spalte empfangen.

Gemäß Fig. 13 wird CLKDQ synchron mit dem externen Takt CLK erzeugt. Die Spaltenauswahlleitung CSLF wird für eine Hälfte der gezeigten Taktperiode aktiviert. Von CSLF ausgewählte Daten werden über GIOF nach DIOF weitergeleitet. Außerdem werden die Daten von DIOF in Abhängigkeit von CLKDQ nach DIO abgegeben.

Gemäß Fig. 14 wird PCLK synchron mit dem externen Takt CLK erzeugt. Die Spaltenauswahlleitung CSLF wird für eine Taktperiode aktiviert. Die empfangenen Daten von DI werden in Abhängigkeit von PCLK nach DIOF weitergeleitet. Die Daten von DIOF werden von einer Speicherzelle einer durch CSLF ausgewählten Spalte empfangen.

Wie aus der obigen Beschreibung bevorzugter Realisierungen ersichtlich, ist das erfindungsgemäße Halbleiterspeicherbauelement in der Lage, in einem Einzeldatenraten-Modus (SDR-Modus) oder Doppeldatenraten-Modus (DDR-Modus) zu arbeiten, was die Produktivität erhöht und die Produktionskosten verringert.

Patentansprüche

1. Halbleiterspeicherbauelement mit einer Mehrzahl von zeilen- und spaltengegliederten, synchron mit einem externen Takt angesteuerten Speicherzellenfeldern, **gekennzeichnet durch**

- einen Kernbereich (101) zur Eingabe und Ausgabe von Daten in die und aus den Speicherzellenfeldern (117, 119) gemäß einer Gruppe von Spaltenadressen in einem Einzeldatenraten (SDR)-Modus sowie zur Eingabe und Ausgabe erster Daten und zweiter Daten in die bzw. aus den Speicherzellenfeldern gemäß der Gruppe von Spaltenadressen mit Ausnahme einer vorgegebenen Spaltenadresse (CAi) in einem Doppeldatenraten (DDR)-Modus,
- erste und zweite Datenleitungen (DIOF, DIOS) zum Ausgeben und Empfangen von Daten nach bzw. von außen,
- eine Übertragungsstufe (103) zur Steuerung der Übertragung von Daten zwischen dem Kernbereich (101) und der ersten und zweiten Datenleitung in Abhängigkeit von der vorgegebenen Spaltenadresse (CAi) und
- eine Eingabe- und Ausgabesteuereinheit (105), die im DDR-Modus in Reaktion auf steigende und fallende Flanken des externen Taktsignals Daten der ersten und der zweiten Datenleitung in serielle

Daten transformiert und die seriellen Daten nach außen abgibt sowie seriell von außen empfangene Daten an die erste und die zweite Datenleitung weiterleitet.

2. Halbleiterspeicherbauelement nach Anspruch 1, weiter dadurch gekennzeichnet, daß der Kernbereich (101) einen Spaltendecoder (115) zum Auswählen einer Spalte des Halbleiterspeicherbauelementes in Abhängigkeit einer aus der Gruppe der Spaltenadressen einschließlich der vorgegebenen Spaltenadresse (CAi) ausgewählten Spaltenadresse im Einzeldatenraten-Modus sowie in Abhängigkeit einer aus der Gruppe der Spaltenadressen einschließlich der vorgegebenen Spaltenadresse.

3. Halbleiterspeicherbauelement nach Anspruch 2, weiter dadurch gekennzeichnet, daß der Spaltendecoder folgende Elemente beinhaltet:

- einen Antwortteil (301) für eine vorgegebene Adresse, der im SDR-Modus auf die vorgegebene Spaltenadresse (CAi) antwortet und im DDR-Modus nicht auf die vorgegebene Spaltenadresse antwortet, und
- einen Spaltenauswahlteil (303, 403) zur Erzeugung eines Spaltenauswahlsignals (CSLF, CSLS) in Abhängigkeit vom Ausgangssignal des Antwortteils (301, 401) für die vorgegebene Adresse und einer Spaltenadresse der Gruppe (CAj, CAk, CAI) von Spaltenadressen mit Ausnahme der vorgegebenen Spaltenadresse.

4. Halbleiterspeicherbauelement nach einem der Ansprüche 1 bis 3, weiter dadurch gekennzeichnet, daß die Übertragungsstufe (103) folgende Elemente beinhaltet:

- einen ersten Ausgabeübertragungsschaltkreis (107) zur Übertragung der ersten Daten des Kernbereichs (101) in Abhängigkeit von einem ersten Logikzustand der vorgegebenen Spaltenadresse (CAi) im SDR-Modus sowie der ersten Daten des Kernbereichs zur ersten Datenleitung (DIOF) in Abhängigkeit vom ersten Logikzustand der vorgegebenen Spaltenadresse und zur zweiten Datenleitung (DIOS) in Abhängigkeit von einem zweiten Logikzustand der vorgegebenen Spaltenadresse im DDR-Modus,
- einen zweiten Ausgabeübertragungsschaltkreis (109) zur Übertragung der zweiten Daten des Kernbereichs (101) in Abhängigkeit vom zweiten Logikzustand der vorgegebenen Spaltenadresse im SDR-Modus sowie der zweiten Daten des Kernbereichs zur zweiten Datenleitung in Abhängigkeit vom ersten Logikzustand der vorgegebenen Spaltenadresse und zur ersten Datenleitung in Abhängigkeit vom zweiten Logikzustand der vorgegebenen Spaltenadresse im DDR-Modus,
- einen ersten Eingabetreiber (111) zur Übertragung der Daten von der ersten Datenleitung (DIOF) zu einer ersten globalen Datenleitung (GIOF) in Abhängigkeit vom ersten Logikzustand der vorgegebenen Spaltenadresse und zu einer zweiten globalen Datenleitung (GIOS) in Abhängigkeit vom zweiten Logikzustand der vorgegebenen Spaltenadresse sowohl im SDR- als auch im DDR-Modus und
- einen zweiten Eingabetreiber (113) zur Übertragung der Daten der zweiten Datenleitung (DIOS) zur ersten globalen Datenleitung (GIOF) in Abhängigkeit vom zweiten Logikzustand der vorgegebenen Spaltenadresse und zur zweiten

globalen Datenleitung (GIOS) in Abhängigkeit vom ersten Logikzustand der vorgegebenen Spaltenadresse im DDR-Modus, während er im SDR-Modus keine Daten überträgt.

5. Halbleiterspeicherbauelement nach Anspruch 4, weiter dadurch gekennzeichnet, daß der erste Ausgabeübertragungsschaltkreis (107) folgende Elemente enthält:

- einen Normalübertragungsteil (501) zur Übertragung der ersten Daten des Kernbereichs (101) zur ersten Datenleitung (DIOF) in Abhängigkeit vom ersten Logikzustand der vorgegebenen Spaltenadresse (CAi) und
- einen Auswahlübertragungsteil (503) zur Übertragung der ersten Daten des Kernbereichs in Abhängigkeit vom zweiten Logikzustand der vorgegebenen Spaltenadresse im DDR-Modus, während er die ersten Daten im SDR-Modus nicht überträgt.

6. Halbleiterspeicherbauelement nach Anspruch 4 oder 5, weiter dadurch gekennzeichnet, daß der zweite Ausgabeübertragungsschaltkreis (109) folgende Elemente enthält:

- einen Normalübertragungsteil (601) zur Übertragung der zweiten Daten des Kernbereichs (101) zur ersten Datenleitung (DIOF) in Abhängigkeit vom zweiten Logikzustand der vorgegebenen Spaltenadresse (CAi) und
- einen Auswahlübertragungsteil (603) zur Übertragung der zweiten Daten des Kernbereichs zur zweiten Datenleitung (DIOS) in Abhängigkeit vom ersten Logikzustand der vorgegebenen Spaltenadresse im DDR-Modus, während er die zweiten Daten im SDR-Modus nicht überträgt.

7. Halbleiterspeicherbauelement nach einem der Ansprüche 4 bis 6, weiter dadurch gekennzeichnet, daß der erste Eingabetreiber folgende Elemente enthält:

- einen ersten Eingabeteil (701) zur Übertragung von Daten der ersten Datenleitung (DIOF) zur ersten globalen Datenleitung (GIOF) in Abhängigkeit vom ersten Logikzustand der vorgegebenen Spaltenadresse (CAi) und
- einen zweiten Eingabeteil (703) zur Übertragung von Daten der ersten Datenleitung auf die zweite globale Datenleitung (GIOS) in Abhängigkeit vom zweiten Logikzustand der vorgegebenen Spaltenadresse.

8. Halbleiterspeicherbauelement nach einem der Ansprüche 4 bis 7, weiter dadurch gekennzeichnet, daß der zweite Eingabetreiber (113) folgende Elemente enthält:

- einen ersten Eingabeteil (801) zur Übertragung von Daten der zweiten Datenleitung (DIOS) zur ersten globalen Datenleitung (GIOF) in Abhängigkeit vom zweiten Logikzustand der vorgegebenen Spaltenadresse (CAi) im DDR-Modus, während er die Daten der zweiten Datenleitung im SDR-Modus nicht überträgt, und
- einen zweiten Eingabeteil (803) zur Übertragung von Daten der zweiten Datenleitung (DIOS) zur zweiten globalen Datenleitung (GIOS) in Abhängigkeit vom ersten Logikzustand der vorgegebenen Spaltenadresse (CAi) im DDR-Modus, während im SDR-Modus die Daten der zweiten Datenleitung nicht überträgt.

9. Halbleiterspeicherbauelement nach einem der Ansprüche 1 bis 8, weiter dadurch gekennzeichnet, daß die Eingabe- und Ausgabesteuereinheit (105) folgende

Elemente enthält:

- einen Ausgabemultiplexer (121) zum Ausgeben der Daten der ersten Datenleitung (DIOF) nach außen synchron mit dem externen Takt im SDR-Modus sowie zum seriellen Ausgeben der Daten der ersten und der zweiten Datenleitung (DIOF, DIOS) in Abhängigkeit von steigenden und fallenden Flanken des externen Taktes im DDR-Modus und
 - einen Eingabemultiplexer (123) zur Übertragung externer Daten zur ersten Datenleitung (DIOF) synchron mit dem externen Takt im SDR-Modus sowie zur Übertragung externer erster und zweiter Eingabedaten zur ersten und zweiten Datenleitung in Abhängigkeit von steigenden und fallenden Flanken des externen Taktes im DDR-Modus.
10. Halbleiterspeicherbauelement nach Anspruch 9, weiter dadurch gekennzeichnet, daß der Ausgabemultiplexer (121) folgende Elemente enthält:
- einen Normalausgabemultiplexer (901) zur Ausgabe von Daten der ersten Datenleitung (DIOF) in Abhängigkeit von den steigenden Flanken des externen Taktes sowohl im Einzel- als auch im Doppeldatenraten-Modus und
 - einen Auswahlgabemultiplexer (903) zur Ausgabe von Daten der zweiten Datenleitung (DIOS) in Abhängigkeit von den fallenden Flanken des externen Taktes im Doppeldatenraten-Modus.
11. Halbleiterspeicherbauelement nach Anspruch 9 oder 10, weiter dadurch gekennzeichnet, daß der Eingabemultiplexer (123) folgende Elemente enthält:
- einen ersten Übertragungsteil (1001) zur Übertragung von Daten, die von außen empfangen werden, zur ersten Datenleitung (DIOF) synchron mit dem externen Takt im Einzeldatenraten-Modus und
 - einen zweiten Übertragungsteil (1003) zur Übertragung erster und zweiter Eingabedaten zur ersten und zweiten Datenleitung (DIOF, DIOS) in Abhängigkeit von den steigenden und fallenden Flanken des externen Taktes im Doppeldatenraten-Modus.
12. Halbleiterspeicherbauelement nach einem der Ansprüche 1 bis 11, weiter gekennzeichnet durch eine Modusauswahlsignaleinheit zur Erzeugung eines Modusauswahlsignals (PSDR) zum Auswählen des Einzeldatenraten- oder des Doppeldatenraten-Modus.
13. Halbleiterspeicherbauelement nach Anspruch 12, weiter dadurch gekennzeichnet, daß die Modusauswahlsignaleinheit folgende Elemente enthält:
- einen NOS-Transistor mit einer Source-Elektrode, die an eine Versorgungsspannung (VCC) oder eine Massespannung (VSS) angeschlossen ist, und
 - eine von außen auftrennbare Schmelzsicherung (203), die mit einem ersten Anschluß an die Versorgungsspannung oder die Massespannung und mit einem zweiten Anschluß an eine Drain-Elektrode des MOS-Transistors angeschlossen ist, um das Modusauswahlsignal (PSDR) zu erzeugen.
14. Decoder für ein Halbleiterspeicherbauelement, insbesondere zur Verwendung als Spaltendecoder in einem Halbleiterspeicherbauelement nach einem der Ansprüche 1 bis 13, gekennzeichnet durch
- einen Antwortteil (301, 401) für eine vorgegebene Adresse (CAi) zur Festlegung der Antwort

auf die vorgegebene Adresse in Abhängigkeit von einem Modusauswahlsignal (PSDR) und

- einen Auswahlsignalgenerator (303) zur Erzeugung eines Auswahlsignals zum Auswählen von Zeilen oder Spalten des Halbleiterspeicherbauelementes in Abhängigkeit von einem Ausgangssignal (N302) des Antwortteils (301) für die vorgegebene Adresse sowie von einer Adresse aus einer Gruppe von Adressen mit Ausnahme der vorgegebenen Adresse.

15. Ausgabeübertragungsschaltkreis, insbesondere für ein Halbleiterspeicherbauelement nach einem der Ansprüche 4 bis 13, zum Ausgeben von Eingabedaten an eine erste und eine zweite Datenleitung (DIOF, DIOS), gekennzeichnet durch

- einen Normalübertragungsteil (501) zum Übertragen der Eingabedaten auf die erste Datenleitung in Abhängigkeit von einem ersten Logikzustand einer vorgegebenen Adresse (CAi) und
- einen Auswahlübertragungsteil zum Übertragen der Eingabedaten auf die zweite Datenleitung (DIOS) in Abhängigkeit von einem zweiten Logikzustand der vorgegebenen Adresse (CAi), wenn ein zugehöriger Modus ausgewählt ist, während er die Eingabedaten nicht überträgt, wenn dieser Modus nicht ausgewählt ist.

16. Ausgabeübertragungsschaltkreis nach Anspruch 15, wobei der Auswahlübertragungsteil folgende Elemente enthält:

- eine Modusauswahlstufe (505, 605) zur Aktivierung einer Ausgabe in Abhängigkeit von einem zweiten Logikzustand der vorgegebenen Adresse, wenn der zugehörige Modus ausgewählt ist, und
- eine Auswahlratenübertragungsstufe zum Übertragen der Eingabedaten auf die zweite Datenleitung (DIOS), wenn der Ausgang der Modusauswahlstufe aktiviert ist.

17. Eingabetreiber, insbesondere für ein Halbleiterspeicherbauelement nach einem der Ansprüche 4 bis 13, zum Ausgeben von Eingabedaten zu einer ersten und einer zweiten Datenleitung (GIOF, GIOS), gekennzeichnet durch

- einen ersten Eingabeteil (701, 801) zum Übertragen der Eingabedaten zur ersten Datenleitung (GIOF), wenn ein zugehöriger Modus ausgewählt ist und eine vorgegebene Adresse (CAi) aktiviert ist, und
- einen zweiten Eingabeteil (703, 803) zum Übertragen der Eingabedaten auf die zweite Datenleitung (GIOS), wenn der zugehörige Modus ausgewählt ist und die vorgegebene Adresse deaktiviert ist.

18. Eingabetreiber nach Anspruch 17, weiter dadurch gekennzeichnet, daß der erste Eingabeteil (801) folgende Elemente enthält:

- eine erste Steuereinheit (805) zur Freigabe eines Ausgangssignals, wenn der zugehörige Modus ausgewählt und die vorgegebene Adresse aktiviert ist, und
- einen ersten Datenübertragungsteil (807) zur Übertragung der Eingabedaten zur ersten Datenleitung (GIOF), wenn das Ausgangssignal der ersten Steuereinheit aktiviert ist.

19. Eingabetreiber nach Anspruch 17 oder 18, weiter dadurch gekennzeichnet, daß der zweite Eingabeteil (803) folgende Elemente enthält:

- eine zweite Steuereinheit (813) zur Freigabe ei-

- nes Ausgabesignals, wenn der zugehörige Modus ausgewählt und die vorgegebene Adresse deaktiviert ist, und
- einen zweiten Datenübertragungsteil (815) zur Übertragung der Eingabedaten auf die zweite Datenleitung (G1OS), wenn das Ausgangssignal der zweiten Steuereinheit freigegeben ist.
20. Eingabemultiplexer, insbesondere für ein Halbleiterspeicherbauelement nach einem der Ansprüche 9 bis 13, zum Ausgeben von über eine gemeinsame Eingabeleitung empfangenen Eingabedaten oder von ersten und zweiten Eingabedaten zu einer ersten und einer zweiten Datenleitung (D1OF, D1OS) synchron zu einem externen Takt, gekennzeichnet durch
- einen ersten Übertragungsteil (1001) zum Übertragen der Eingabedaten zur ersten Datenleitung (D1OF) synchron mit einem ersten Taktsignal (PCLK), wenn ein erster Modus ausgewählt ist, und
 - einen zweiten Übertragungsteil (1003) zum Übertragen eines ersten Taktsignals (CLKDIF) synchron mit den steigenden Flanken des externen Taktes und zum Übertragen eines zweiten Taktsignals (CLKDIS) synchron mit den fallenden Flanken des externen Taktes, um die ersten und zweiten Eingabedaten zu übertragen.
21. Eingabemultiplexer nach Anspruch 20, weiter dadurch gekennzeichnet, daß der zweite Übertragungsteil (1003) folgende Elemente enthält:
- einen Übertragungszwischenspeicher (1005) zum Übertragen und Zwischenspeichern der ersten Eingabedaten synchron mit dem ersten Taktsignal (CLKDIF), das mit den steigenden Flanken des externen Taktes synchronisiert ist, in einem zweiten Modus und
 - einen Ausgabeübertragungsteil (1007) zum Übertragen des Ausgangssignals des Übertragungszwischenspeichers sowie der zweiten Eingabedaten zur ersten und zur zweiten Datenleitung (D1OF, D1OS) synchron mit dem zweiten Taktsignal (CLKDIS), das mit den fallenden Flanken des externen Taktes synchronisiert ist, im zweiten Modus.
22. Ausgabemultiplexer, insbesondere für ein Halbleiterspeicherbauelement nach einem der Ansprüche 9 bis 13, zum Ausgeben erster und zweiter, über eine erste und eine zweite Eingabedatenleitung (D1OF, D1OS) empfangener Eingabedaten zu einer gemeinsamen Ausgabeleitung synchron mit einem externen Takt, gekennzeichnet durch
- einen Normalausgabemultiplexer (901) zum Übertragen der ersten Eingabedaten synchron mit den steigenden Flanken des externen Taktes in einem ersten und einem zweiten Modus und
 - einen Auswahlausgabemultiplexer (903) zum Übertragen der zweiten Eingabedaten zur gemeinsamen Ausgabeleitung synchron mit den fallenden Flanken des externen Taktes im zweiten Modus.
23. Ausgabemultiplexer nach Anspruch 22, weiter dadurch gekennzeichnet, daß der Normalausgabemultiplexer folgende Elemente enthält:
- einen Steuersignalgenerator (907) zur Erzeugung eines synchron mit den steigenden Flanken des externen Taktes aktivierten Ausgangssignals im ersten und zweiten Modus und
 - ein Übertragungsgatter (909) zum Übertragen der ersten Eingabedaten zur gemeinsamen Ausga-

- beleitung in Abhängigkeit vom Ausgangssignal des Steuersignalgenerators.
24. Ausgabemultiplexer nach Anspruch 22 oder 23, weiter dadurch gekennzeichnet, daß der Auswahlausgabemultiplexer (903) folgende Elemente enthält:
- einen Steuersignalgenerator (911) zur Erzeugung eines synchron mit den fallenden Flanken des externen Taktes aktivierten Ausgangssignals im zweiten Modus und
 - ein Übertragungsgatter (913) zum Übertragen der zweiten Eingabedaten zur gemeinsamen Ausgabeleitung in Abhängigkeit vom Ausgangssignal des Steuersignalgenerators.

Hierzu 12 Seite(n) Zeichnungen

FIG. 1

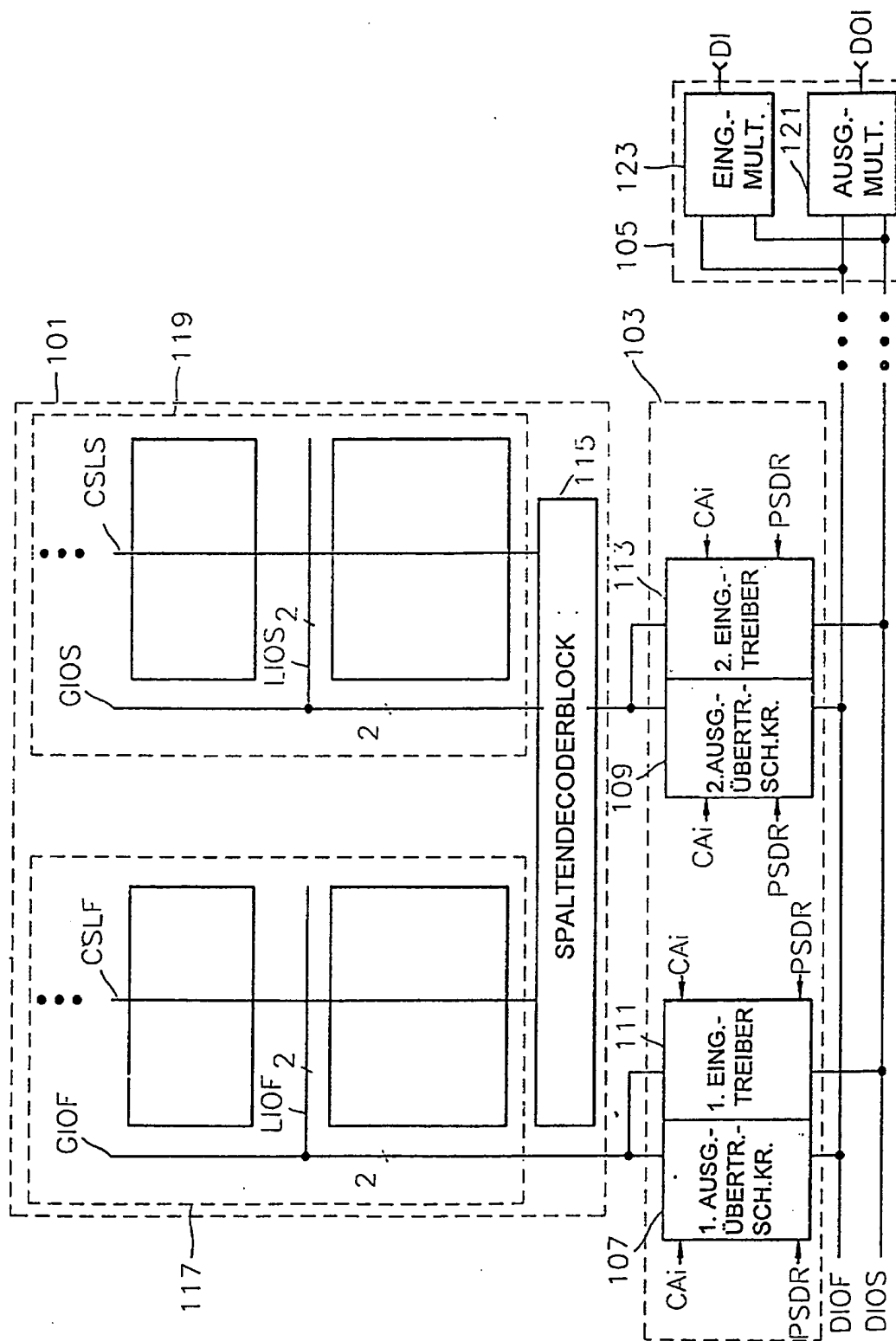


FIG. 2

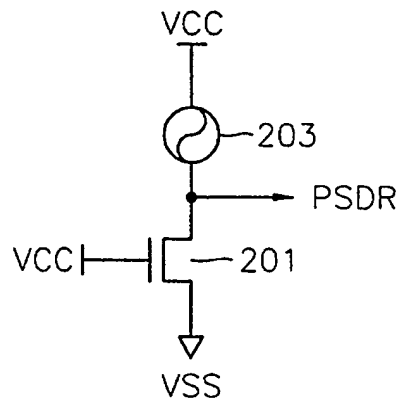


FIG. 3

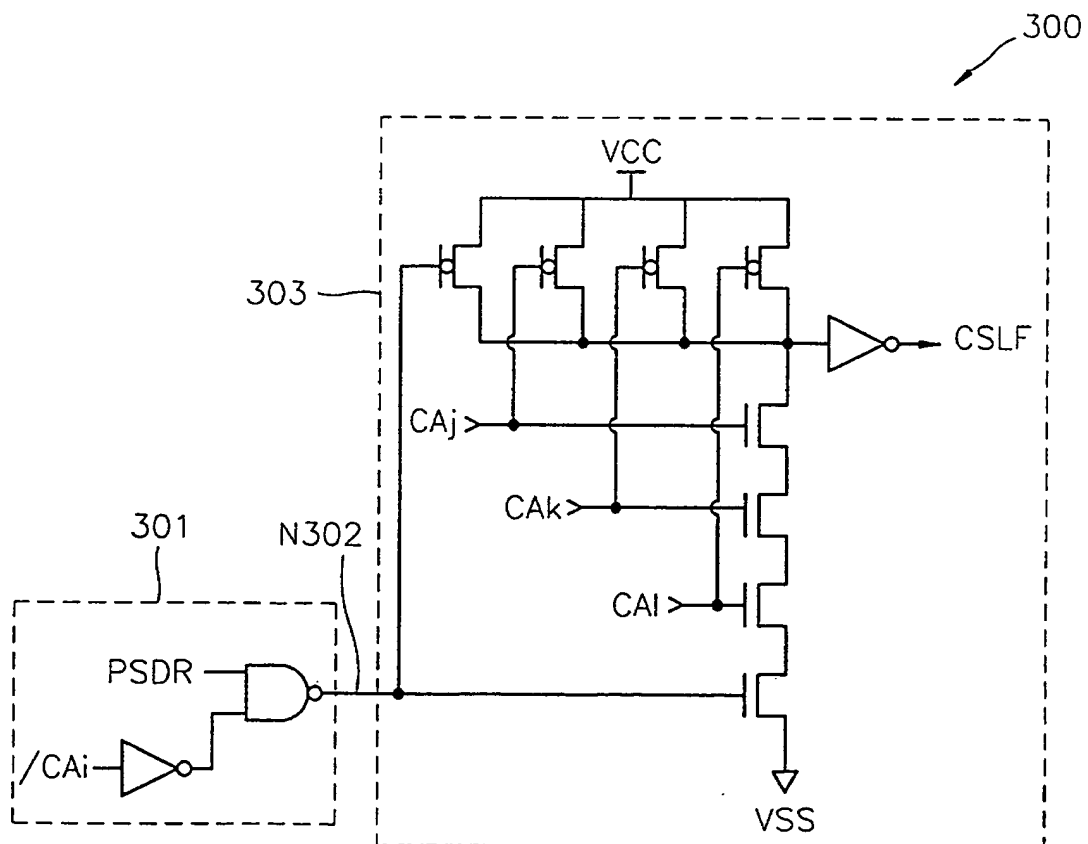


FIG. 4

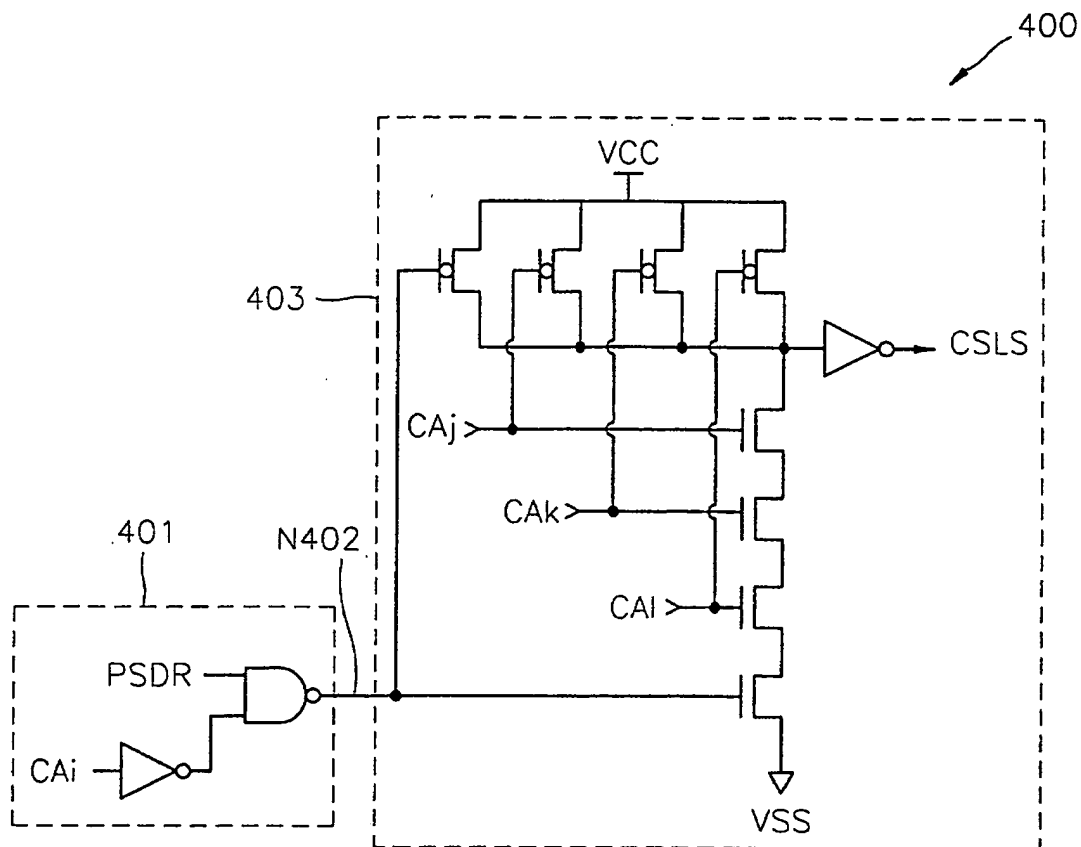


FIG. 5

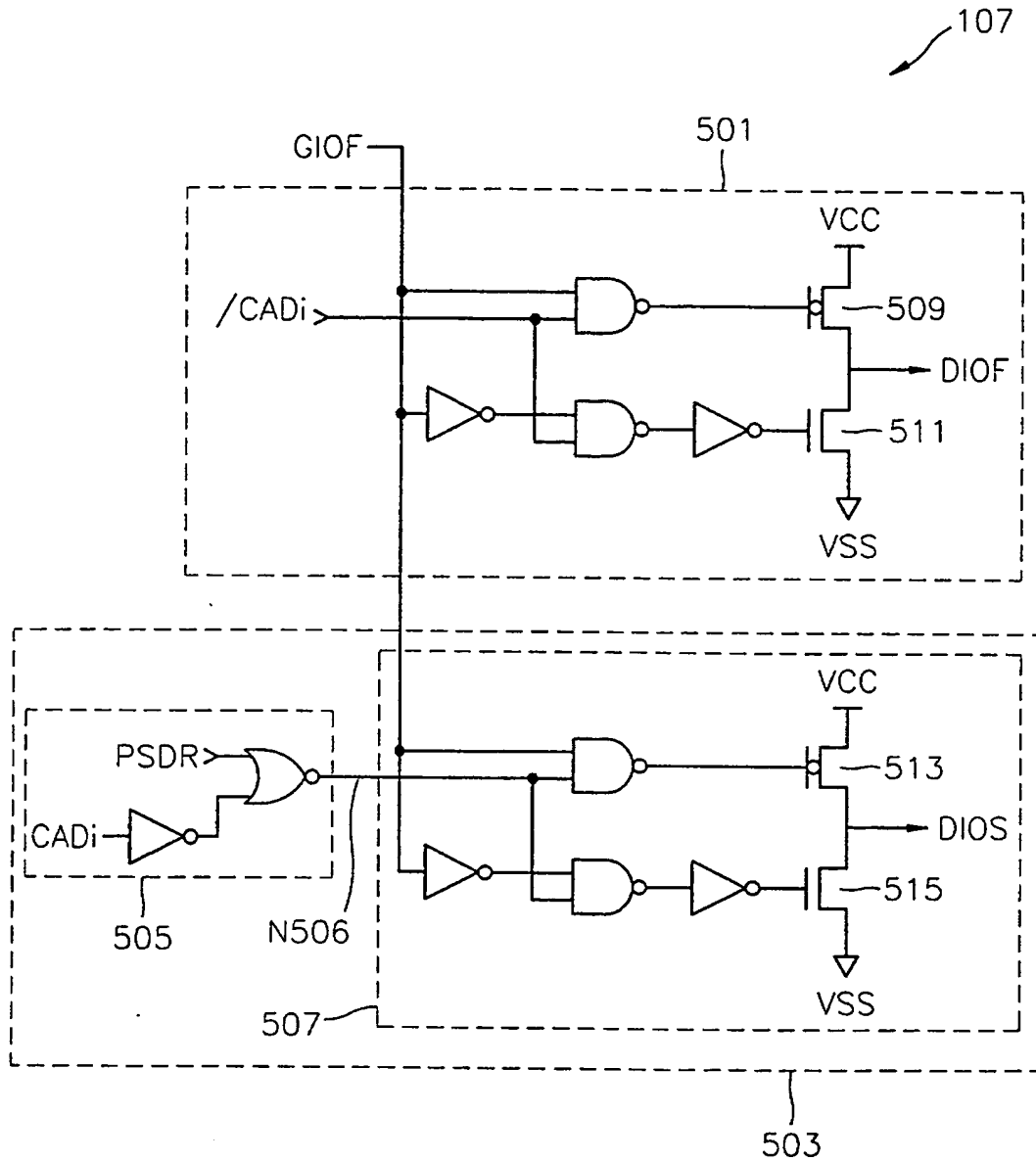


FIG. 6

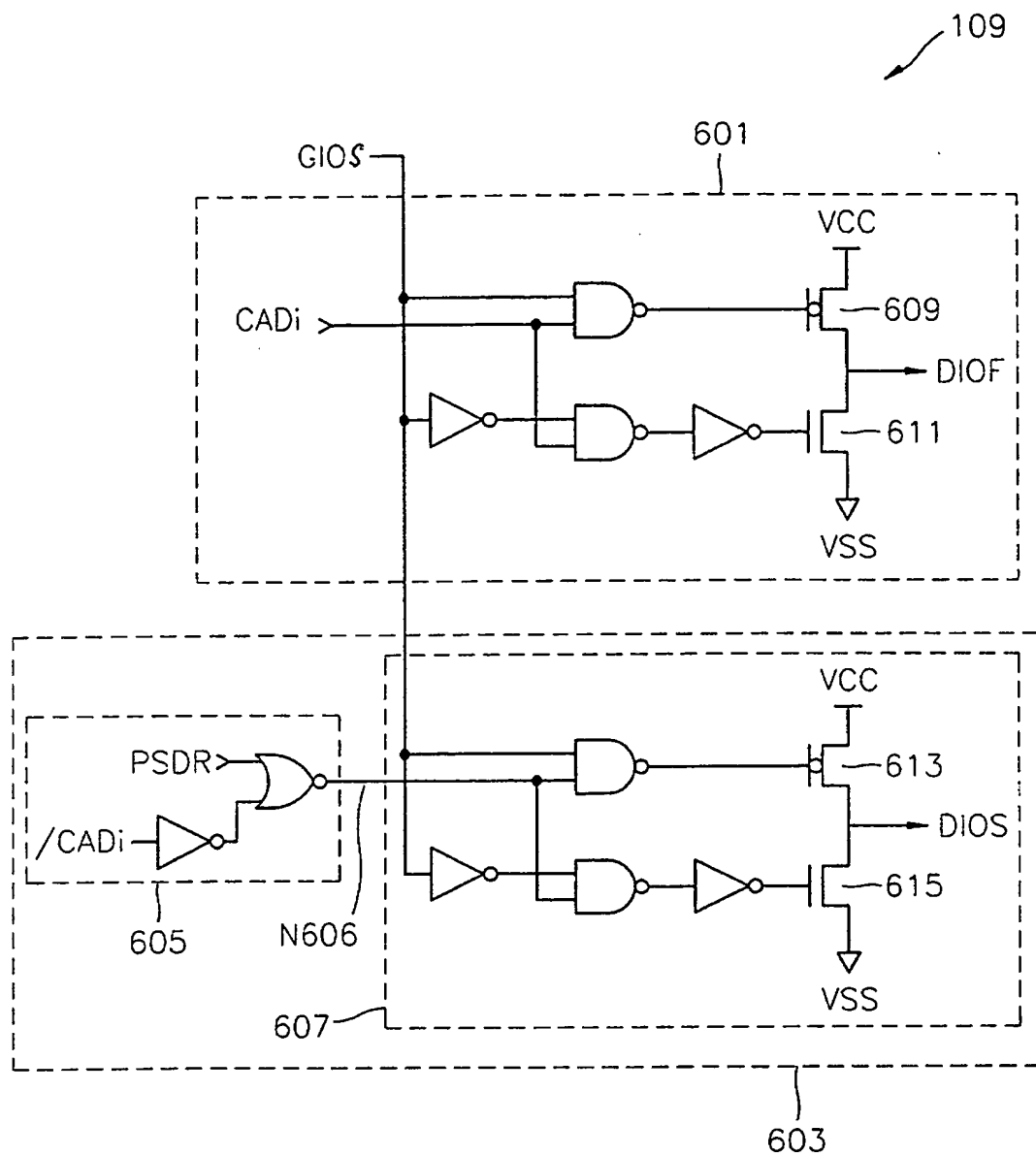


FIG. 7

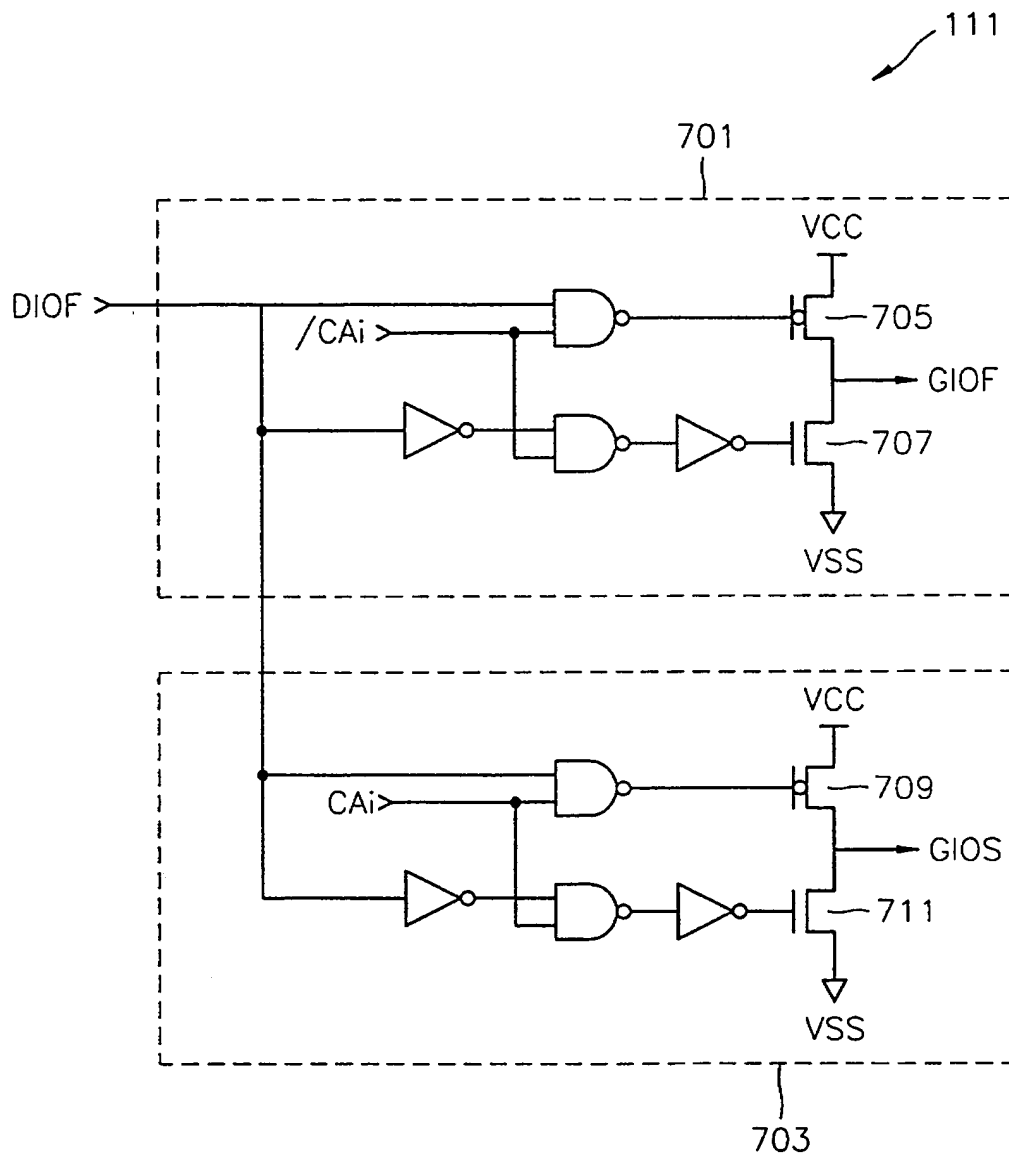


FIG. 8

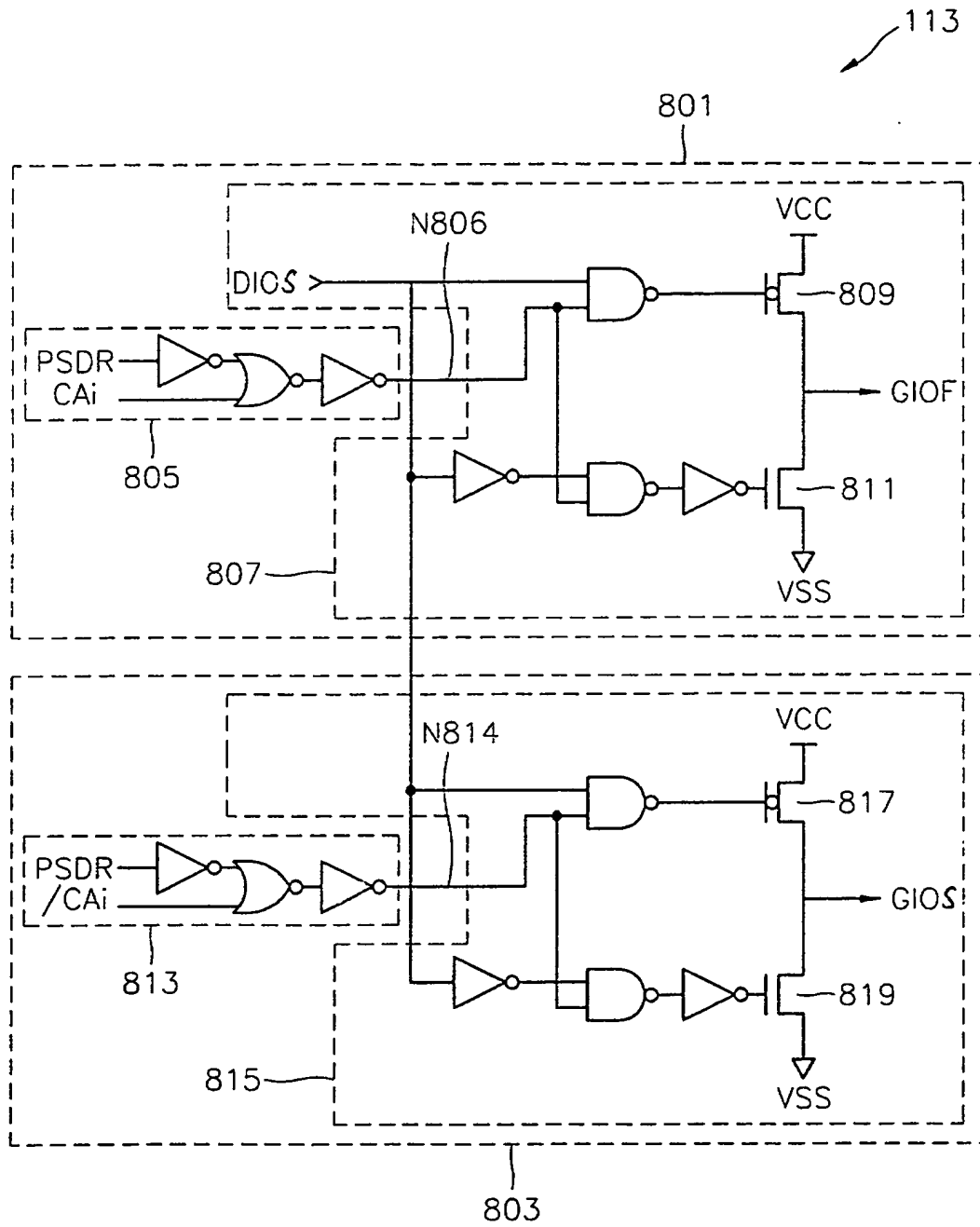


FIG. 9

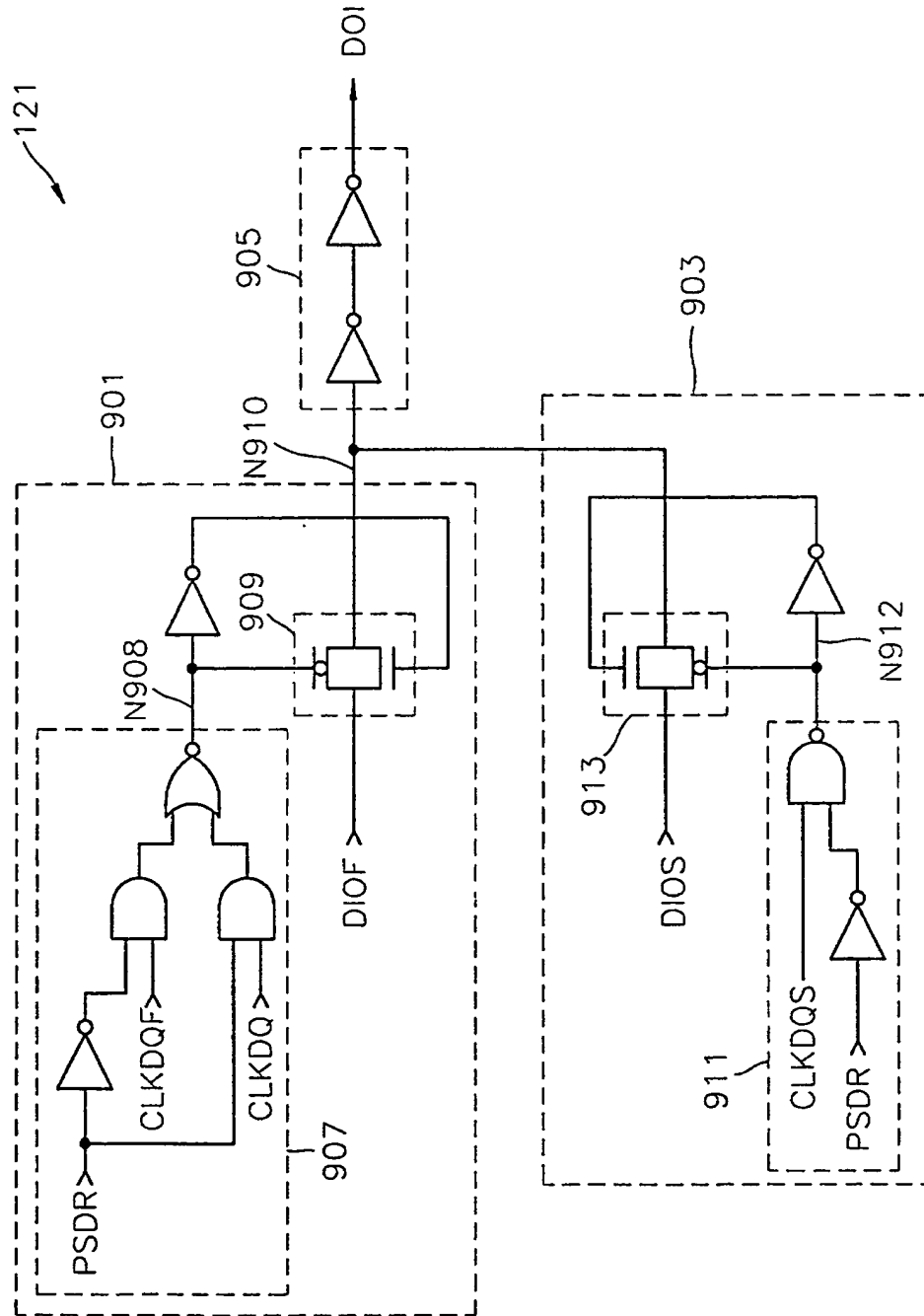


FIG. 10

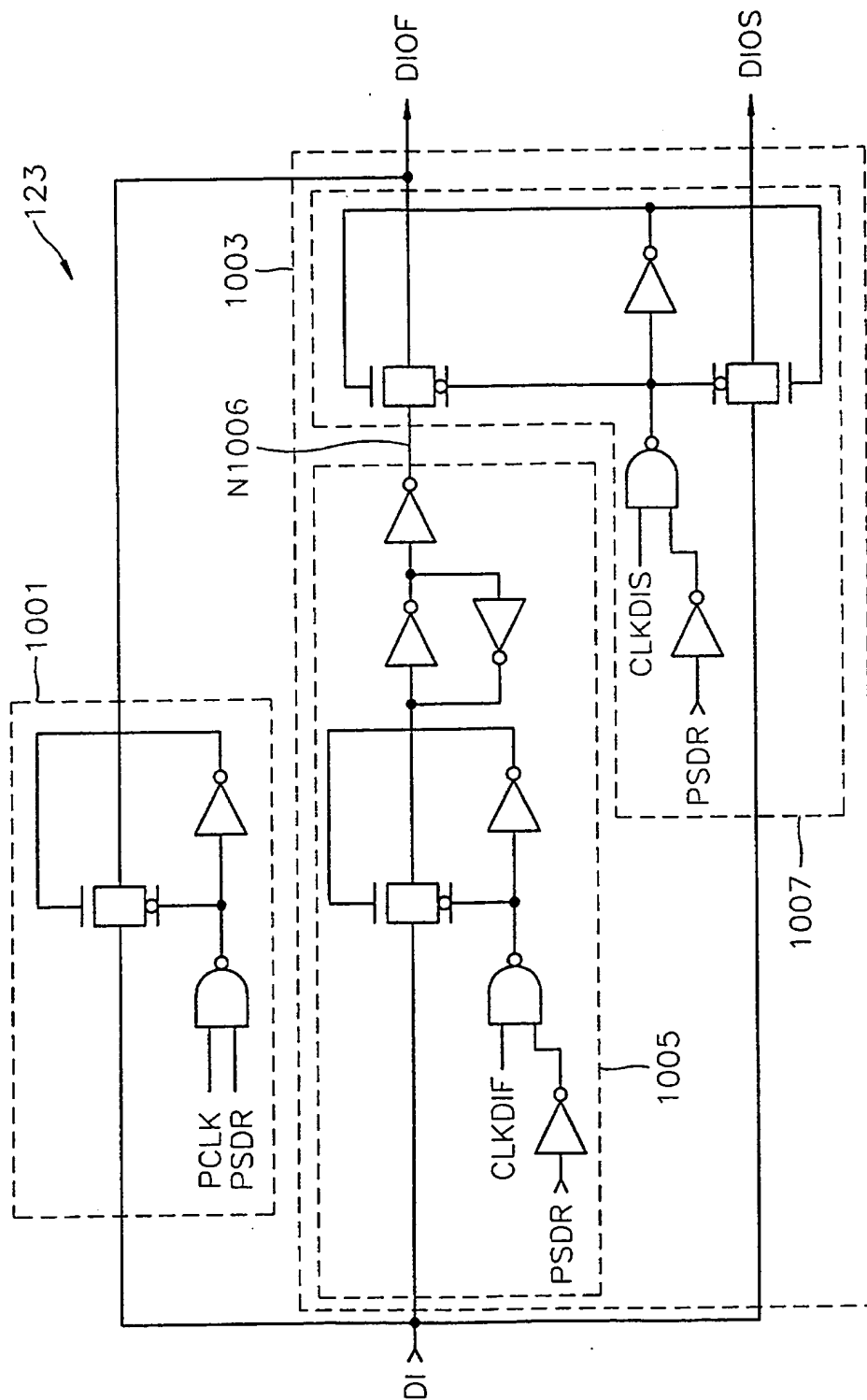


FIG. 11

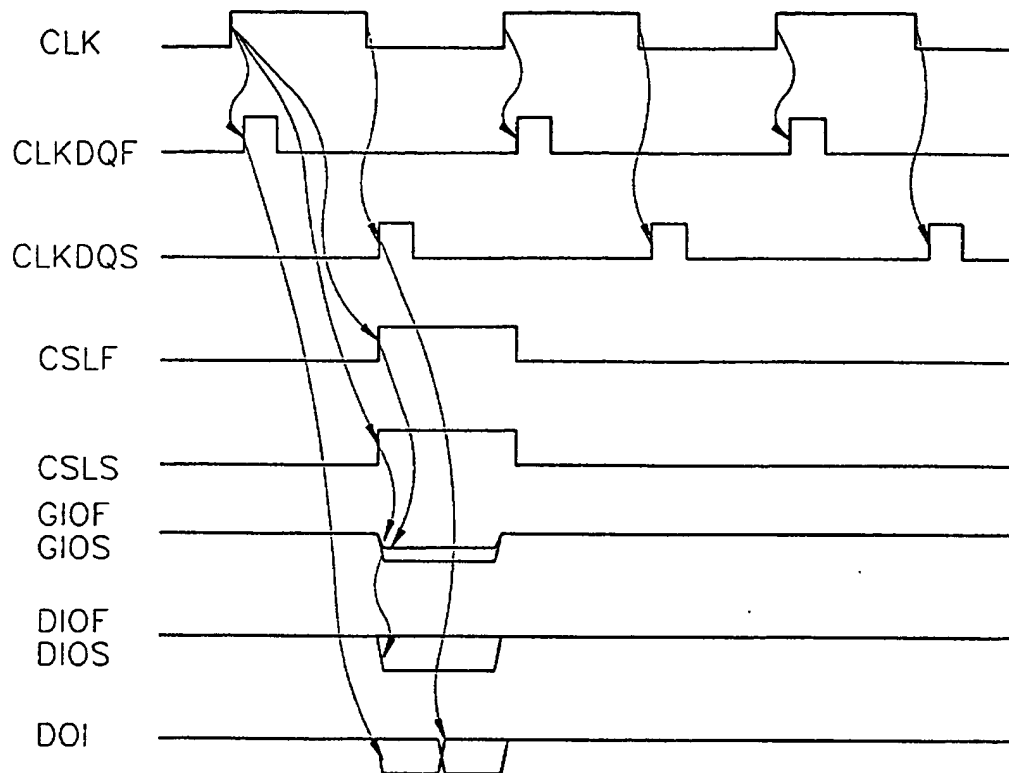


FIG. 12

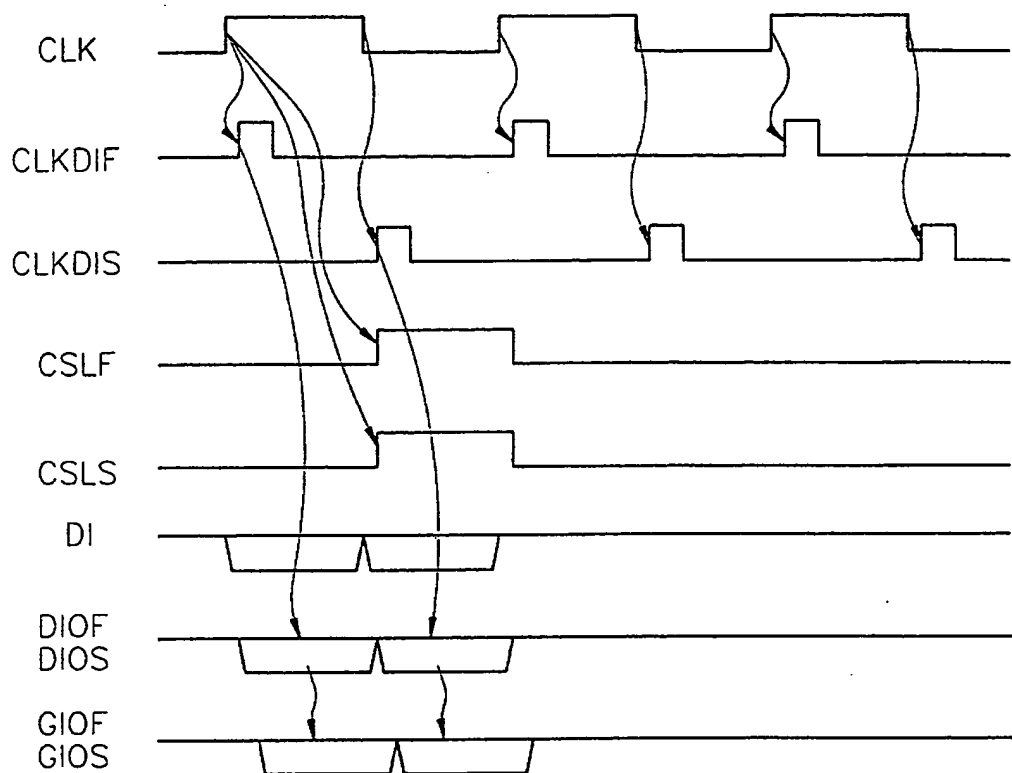


FIG. 13

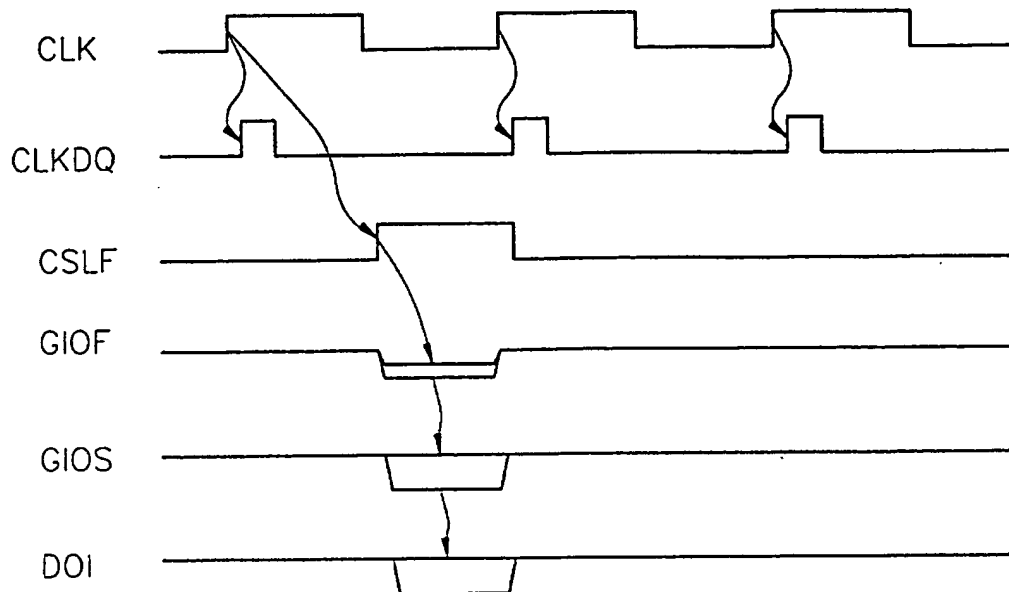


FIG. 14

